

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-10197
(43) Date of publication of application : 22.06.2001

(51) Int. Cl.

H01L 21/82
H01L 27/04
H01L 21/822
H03K 19/00

(21) Application number : 11-349166
(22) Date of filing : 08.12.1999

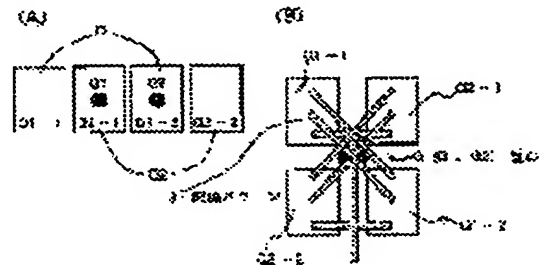
(71) Applicant : SONY CORP
(72) Inventor : TAKESHITA MASAHICO

(54) DEVICE LAYOUT STRUCTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a device layout structure of a semiconductor integrated circuit having such device patterns that positions of centers of gravity of respective circuit devices are close or coincident.

SOLUTION: A device layout structure of a semiconductor integrated circuit which has circuit devices (transistors Q1, Q2) forming a pair or group related with each other in characteristics and each of which consists of a plurality of device patterns (Q1-1, Q1-2, Q2-1, Q2-2) has such an intricate layout of device patterns that the positions of the centers of gravity G1, G2 of respective circuit devices are close or coincident in the said pair or group.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998.2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-168197

(P2001-168197A)

(43)公開日 平成13年6月22日(2001.6.22)

(51)IntCl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/82		H 0 3 K 19/00	C 5 F 0 3 8
27/04		H 0 1 L 21/82	D 5 F 0 6 4
21/822		27/04	A 5 J 0 5 6
H 0 3 K 19/00			

審査請求 未請求 請求項の数4 O L (全 4 頁)

(21)出願番号 特願平11-349166

(22)出願日 平成11年12月8日(1999.12.8)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 竹下 雅彦

鹿児島県国分市野口北5番1号 ソニー国分株式会社内

Fターム(参考) 5F038 CA03 CA06 DF01 EZ20

5F064 AA01 BB22 CC02 CC22 CC23

DD03 DD05 DD15 DD24

5J056 BB01 BB38 CC00 CC02 DD02

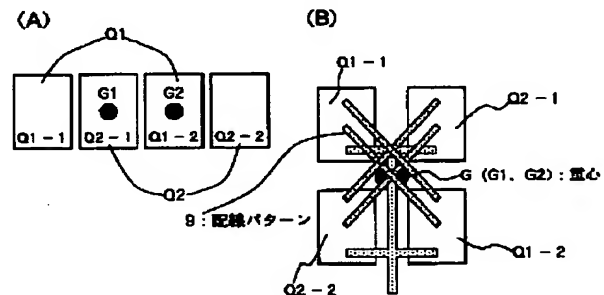
DD25 EE11 FF09 HH03 KK02

(54)【発明の名称】 半導体集積回路の素子配置構造

(57)【要約】

【課題】 各回路素子の重心の位置が近傍または一致するような素子パターンを有する半導体集積回路の素子配置構造を提供する。

【解決手段】 特性上相互に関連するペアまたはグループを形成する回路素子(トランジスタQ1、Q2)を有し、前記ペアまたはグループの各回路素子は複数の素子パターン(Q1-1、Q1-2、Q2-1、Q2-2)からなる半導体集積回路の素子配置構造において、前記ペアまたはグループ内で、各回路素子の重心G1、G2の位置が近接または一致するように素子パターンを入組ませて配置した。



【特許請求の範囲】

【請求項1】特性上相互に関連するペアまたはグループを形成する回路素子を有し、

前記ペアまたはグループの各回路素子は素子パターンからなり、このうち少なくとも1つの回路素子は複数の素子パターンからなる半導体集積回路の素子配置構造において、

前記ペアまたはグループ内で、各回路素子の重心の位置が近接または一致するように素子パターンを入組ませて配置したことを特徴とする半導体集積回路の素子配置構造。

【請求項2】前記各回路素子の素子パターンを、並列させて入組んで配置したことを特徴とする請求項1に記載の半導体集積回路の素子配置構造。

【請求項3】前記各回路素子の素子パターンを、複数回に配置したことを特徴とする請求項1に記載の半導体集積回路の素子配置構造。

【請求項4】前記回路素子は、トランジスタ、コンデンサまたは抵抗であることを特徴とする請求項1に記載の半導体集積回路の素子配置構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は素子配置構造に関する。より詳しくは、特性上相互に関連する半導体集積回路の素子同士の配置構造に関するものである。

【0002】

【従来の技術】図3は従来の差動増幅回路図であり、図4はその回路パターンを示す概略図である。図3に示すように、従来の半導体集積回路（以下IC）内で基本として使われる差動増幅回路1は、トランジスタQ1～Q8および抵抗R1～R8等の回路素子からなり、電源電圧Vccに接続する電源ライン端子2と、差動入力となる2つの入力端子3、4と、GNDに接続される接地端子5と、出力端子6とを有している。このような差動増幅回路1を実際の基板上に形成する場合、トランジスタや抵抗等の各回路素子が、図4に示すように、それぞれ素子パターン10により基板上にパターンニングされる。

【0003】各回路素子はそれぞれ1つ又は複数の素子パターン10により構成される。例えば、抵抗R1、R2やトランジスタQ1、Q2、Q3、Q4、Q7等は、図4に示すようにそれぞれ2つの素子パターン10からなり、抵抗R5、R6、R7やトランジスタQ5、Q6は1つの素子パターン10からなり、抵抗R8やトランジスタQ8はそれぞれ6つの素子パターン10により構成されている。

【0004】各素子パターン10は配線パターン9により接続され、配線ライン7がVcc（図3）に接続され、配線ライン8がGNDに接続され、これにより図3の差動増幅回路1が形成される。

【0005】図5は、図3の回路図の中で回路特性上の

関連性が大きく相対比が必要な素子を示した回路図である。すなわち、楕円(a)～(d)で囲んだそれぞれ2つの抵抗やトランジスタ等の回路素子のペアからなる部分や、楕円(e)(f)で囲んだ3つ以上の回路素子のグループからなる部分は、特に回路特性上の相対比が必要な部分であり、特性上回路素子同士で密接な関連性があり、この素子同士のばらつきが大きいとICとして機能しなくなってしまう。したがって、このような特性上関連性の強いペアまたはグループにおいては、各ペアまたはグループ内の各回路素子の重心同士がなるべく近接（望ましくは一致）していることが特性上好ましい。

【0006】図6は、従来のパターン配置構造を示す図であり、図5の(d)のトランジスタQ1、Q2のペアパターンの配置例を示している。

【0007】図示したように、従来は、図5の回路図にしたがって、Q1、Q2を単に並列させて配置していた。すなわち、Q1を構成する2つの素子パターンQ1-1、Q1-2およびQ2を構成する2つの素子パターンQ2-1、Q2-2を横に並列させて配置していた。

20 【0008】

【発明が解決しようとする課題】しかしながら、従来の素子パターンの単純な並列配置構造では、図6に示すように、トランジスタQ1の重心G1とトランジスタQ2の重心G2の位置を十分に近接させることができず、ペア特性やグループ特性の向上が十分に図られなかった。

【0009】また、上記従来の半導体集積回路の素子配置構造では、人の手によって配置を行っていたため、各回路素子を配置する人によって製造上のばらつきが発生し、ICの特性に影響を与えていた。近年、ICの回路が大規模化し、微細加工技術も伴いこのばらつきの影響が大きくなっている。

【0010】本発明は、上記従来技術を考慮したものであって、特性上関連性の強いペアまたはグループを構成する各回路素子の重心の位置が近傍または一致するような素子パターンを有する半導体集積回路の素子配置構造の提供を目的とする。

【0011】

【課題を解決するための手段】前記目的を達成するため、本発明では、特性上相互に関連するペアまたはグループを形成する回路素子を有し、前記ペアまたはグループの各回路素子は素子パターンからなり、このうち少なくとも1つの回路素子は複数の素子パターンからなる半導体集積回路の素子配置構造において、前記ペアまたはグループ内で、各回路素子の重心の位置が近接または一致するように素子パターンを入組ませて配置したことを特徴とする半導体集積回路の素子配置構造を提供する。

【0012】この構成によれば、回路特性上の相対比が必要な各回路素子同士の重心が近づくまたは一致するので、特性の向上が図られ、素子同士のばらつきによるICへの影響を抑制することができる。また、これにより

新規製品や新世代素子等の開発段階において、特性のばらつきが少ないため性能テストや試作等が効率よく行われ、開発期間の短縮およびIC開発のサイクルが短縮される。

【0013】好ましい構成例においては、前記各回路素子の素子パターンを、並列させて入組んで配置したことを特徴としている。

【0014】この構成によれば、素子パターンを1列の並列状態で入組ませて配置することにより、回路特性上の相対比が必要な各回路素子同士の重心を近づけまたは一致させて素子同士のばらつきによるICへの影響を抑制することができる。

【0015】好ましい構成例においては、前記各回路素子の素子パターンを、複数列に配置したことを特徴としている。

【0016】この構成によれば、素子パターンを複数列に配置して、例えばたすき掛け状として、回路特性上の相対比が必要な各回路素子同士の重心を近づけまたは一致させて回路素子同士のばらつきによるICへの影響を抑制することができる。

【0017】好ましい構成例においては、前記回路素子は、トランジスタ、コンデンサまたは抵抗であることを特徴としている。

【0018】この構成によれば、通常のICを構成するトランジスタ、コンデンサあるいは抵抗等の各回路素子が特性上ペアまたはグループ化されたときに、各回路素子の重心を近づけたりまたは一致することができる。

【0019】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。図1は本発明に係るペア素子の配置構造の例を示す概略図である。図示した部分は図5の(d)部分である。

【0020】(A)は並列配置により重心を近づけた配置構造を示す。図示したように、回路素子(トランジスタ)Q1を構成する素子パターンQ1-1、Q1-2と、回路素子Q2を構成する素子パターンQ2-1、Q2-2とを1列の並列状態で交互に配置する。これにより、Q1の重心G1とQ2の重心G2の位置は近づくことになり、相互に特性の向上が図られるとともに素子同士の相対的なばらつきの発生の影響を抑制することができる。

【0021】(B)は2列配置により重心を一致させた配置構造を示す。図示したように、Q1-1とQ1-2、Q2-1とQ2-2をたすき掛け状に交差させることによって、その重心はGで一致することになり、トラ

ンジスタ相互の特性がさらに向上し、ばらつきの影響がさらに低減する。

【0022】図2は本発明に係るグループ素子の配置構造の例を従来例と比較して説明する概略図である。図示した部分は図5の(e)部分である。

【0023】(A)は従来構造を示す。従来はQ5、Q6、Q7、Q8のそれぞれのトランジスタを単に回路図にしたがって並列させて順番に並べていたため、その重心G5、G6、G7、G8の位置が離れているのに対し、(B)に示すように、本発明ではこれらのトランジスタを2列に交互に並べ替えることによって、それぞれの重心の位置が近づく結果となる。これによりグループ内で相互に関連するトランジスタ同士の特性が向上し、特性のばらつきの影響を抑制することができ、高品質のICが形成される。

【0024】このような素子パターンのレイアウトは、基板上でのパターン同士の位置関係や特性上の関連性の強さ及び配線パターンの長さやその抵抗等を考慮してなるべく重心が近づくように配置する。

20 【0025】

【発明の効果】以上説明したように、本発明においては、回路特性上密接な関連性があり相対比が必要な各回路素子同士の重心が近づくまたは一致するので、特性の向上が図られ、また素子同士のばらつきによるIC特性への影響を抑制することができる。また、これにより新規製品や新世代素子等の開発段階において、特性のばらつきが少ないため性能テストや試作等が効率よく行われ、開発期間の短縮およびIC開発のサイクルが短縮される。

30 【図面の簡単な説明】

【図1】 本発明に係るペアの素子配置の例を示す概略図

【図2】 本発明に係るグループの素子配置の例を示す概略図

【図3】 差動増幅回路図

【図4】 図3の回路パターンの従来例を示す概略図

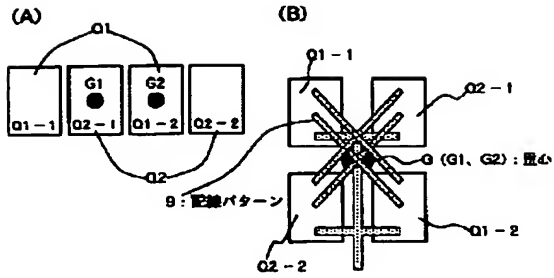
【図5】 図3の回路図の中で回路特性上の相対比が必要な素子を示した図

【図6】 図5の(d)部分の従来の配置例の概略図

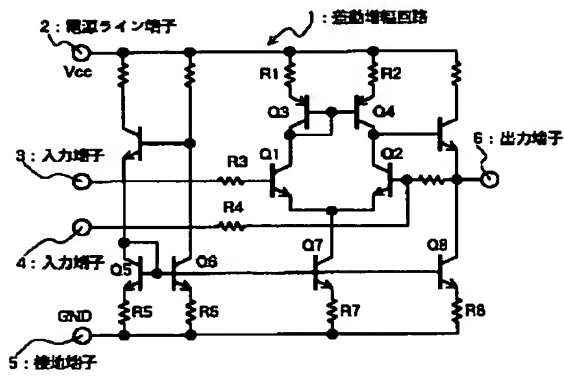
40 【符号の説明】

1：差動増幅回路、2：電源ライン端子、3：入力端子、4：入力端子、5：接地端子、6：出力端子、7、8：配線ライン、9：配線パターン、10：素子パターン

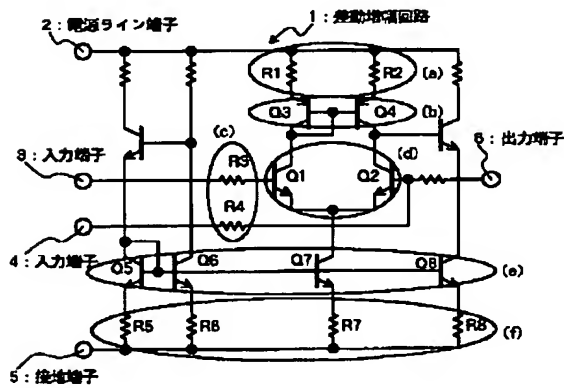
【図1】



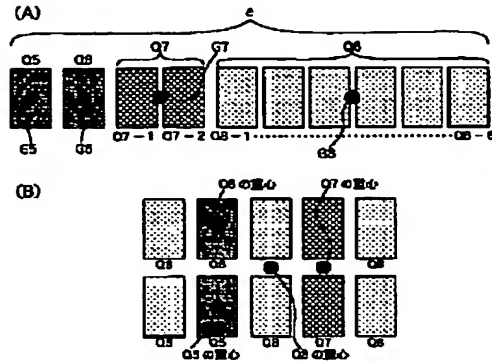
【図3】



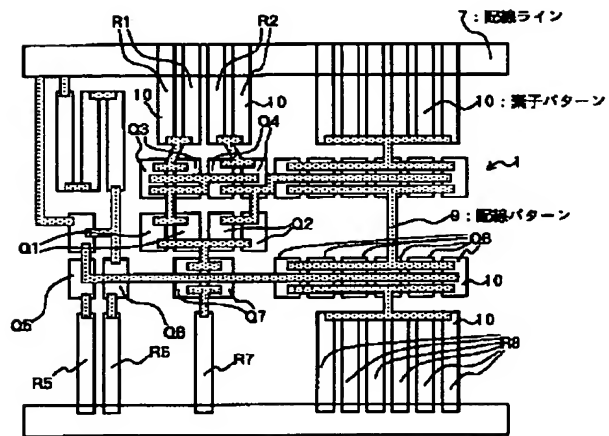
【図5】



【図2】



【図4】



【図6】

